

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR STORAGE DEVICE AND DATA PROCESSING APPARATUS

Patent Number: JP9147581
Publication date: 1997-06-06
Inventor(s): ASO TAKUJI; TAKAHASHI MASATO; SATOU KIYOJI
Applicant(s): HITACHI LTD.; HITACHI VLSI ENG CORP
Requested Patent: ☐ JP9147581
Application Number: JP19950326462 19951121
Priority Number(s):
IPC Classification: G11C16/06
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce a bus occupied time when a part of the stored information is updated by internally updating a part of the stored information of a memory cell array.
SOLUTION: A memory control circuit 112 of the flash memory 34 transfers, when the updated command is input from an external circuit, the data of simultaneous erasing unit including the data to be updated of the memory cell array 100 to a buffer circuit 114 having the data storing capacity corresponding to the simultaneous erasing unit. Data are updated in the buffer circuit 114 depending on the updated data and it is then written back to the memory cell array 100. As explained above, data is updated using the buffer circuit 114 comprised in the flash memory 34 and updating of information stored in the memory cell array 100. Thereby the bus occupied time required for updating the data which is smaller than the erasing unit can be shortened.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 1 4 7 5 8 1

(43)公開日 平成9年(1997)6月6日

(51)Int. Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

G 1 1 C 16/06

G 1 1 C 17/00 5 1 0 Z

審査請求 未請求 請求項の数 4

F D

(全 10 頁)

(21)出願番号 特願平7-326462

(22)出願日 平成7年(1995)11月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 麻生 卓司

東京都小平市上水本町5丁目20番1号 株式
会社日立製作所半導体事業部内

(74)代理人 弁理士 玉村 静世

[最終頁に続く](#)

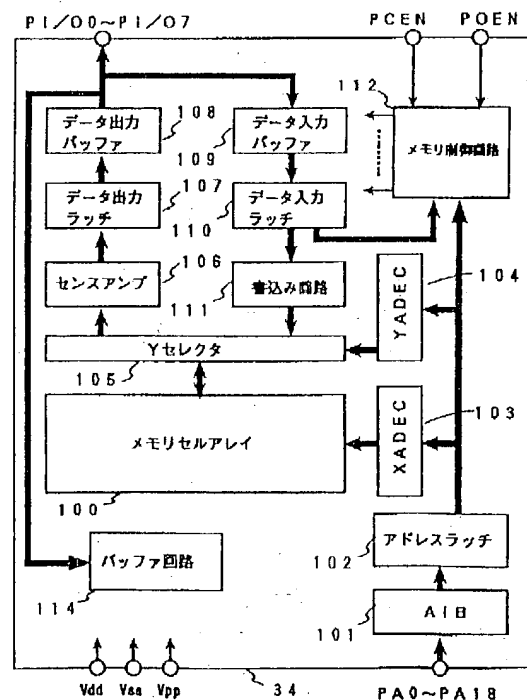
(54)【発明の名称】半導体記憶装置、及びデータ処理装置

(57) 【要約】

【課題】 フラッシュメモリの記憶情報の一部を書き換える場合のバス占有時間を短縮する。

【解決手段】 メモリセルアレイ 100 の一括消去単位に相当するデータ記憶容量を少なくとも有するバッファ回路 114 と、書き換えコマンド、及び部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、一括消去単位データを上記バッファ回路 114 に転送して、書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイ 100 に書き戻すためのメモリ制御回路 112 とを設け、記憶情報の一部書き換えを内部処理で行うことで、バス占有時間の短縮を図る。

【图 1】



【特許請求の範囲】

【請求項1】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

上記メモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有する記憶手段と、

外部からの書き換え専用コマンドの入力により、上記メモリセルアレイの書き換えにかかるデータを含む一括消去単位のデータを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づく書き換えを行い、それを上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項2】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

入力される書き換え用データに基づいて、メモリセルアレイの書き換えを要しない部分に対応するデータをマスク可能なマスクデータを記憶するための第1バッファと、

上記メモリセルアレイの書き換えにかかるデータを含む一括消去単位データを待避するための第2バッファと、外部からの書き換え専用コマンドの入力に基づいて、上記第1バッファ内のマスクデータを参照して上記メモリセルアレイから上記第2バッファへのデータ待避を行い、上記メモリセルアレイの消去後に、上記第2バッファ内のデータを上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項3】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

上記メモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有するアレイ部と、

外部からの書き換え専用コマンドの入力に基づいて、書き換え用データと、メモリセルアレイの対応データとを比較し、その比較結果に基づいて、メモリセルアレイからの待避データに書き換え用データを反映させて上記アレイ部に書き込み、上記メモリセルアレイの消去後に、上記アレイ部のデータを、上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1項記載の半導体記憶装置と、それをアクセス可能な中央処理装置とを含んで成るデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置、さらには複数のフラッシュメモリセルをアレイ状に配列して成るフラッシュメモリのデータ書き換え技術に関し、例えば、コンピュータシステムなどのデータ処理装置に適用して有効な技術に関する。

【0002】

【従来の技術】特開平2-289997号には一括消去型EEPROM（エレクトリカリ・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）について記載されている。この一括消去型EEPROMは、本明細書におけるフラッシュメモリと同意義に把握することができる。フラッシュメモリは、電気的な消去・書き込みによって情報を書き換え可能であって、EPROM（エレクトリカリ・プログラマブル・リード・オンリ・メモリ）と同様に、そのメモリセルを1個のトランジスタで構成することができ、メモリセルの全てを一括して、又はメモリセルのブロックを一括して電氣的に消去する機能を持つ。従って、フラッシュメモリは、システムに実装された状態でその記憶情報を書き換えることができると共に、その一括消去機能により書き換え時間の短縮を図ることができ、さらに、チップ占有面積の低減にも寄与する。

【0003】

【発明が解決しようとする課題】フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換えるような場合、特に一括消去単位よりも小さなデータだけを書き換えたい場合であっても、フラッシュメモリでは消去単位で一括消去が行われ、実質的に書き換えを要しない情報までも消去の対象とされてしまうため、書き換え前において内部で保持している情報も重ねて外部から転送されなければならない、部分的な書き換えのための情報転送に無駄がある。例えばコンピュータシステムなどのデータ処理装置において、フラッシュメモリのアドレス入力端子、データ入出力端子がそれぞれアドレスバス、データバスに結合されている場合には、上記部分的な書き換えのために、書き換え前に内部で保持している情報をフラッシュメモリの外部に待避しておいて、その情報も重ねて上記データバスを介してフラッシュメモリの内部に取込まなければならないし、その場合の書き込みアドレス信号をも上記アドレスバスを介してフラッシュメモリの内部に取込まなければならないため、部分的な書き換えであるにもかかわらず、どうしても上記データバスやアドレスバスの占有時間が長くなってしまふ。

【0004】しかも、フラッシュメモリの部分的な書き換えの際の読み出し動作、消去動作、書き込み動作などの指示は、コンピュータシステムの中核とされるCPU（中央処理装置）から発行されるコマンドによるため、上記フラッシュメモリの部分的な書き換えにおいて、読み出しコマンド、消去コマンド、書き込みコマンドを、それぞれ個別にCPUからフラッシュメモリに与える

必要があり、そのためにCPUの負荷が大きくなる。

【0005】本発明の目的は、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のバス占有時間の短縮を図るための技術を提供することにある。

【0006】本発明の別の目的は、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のCPUの負荷軽減を図るための技術を採用することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、複数のフラッシュメモリセルを配列して成るメモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有する記憶手段(114)を設け、外部からの書き換え専用コマンドの入力により、書き換えにかかるデータを含む一括消去単位のデータを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイに書き戻すための制御手段(112)を設け、メモリセルアレイの記憶情報の一部書き換えのための処理をフラッシュメモリの内部処理に委ねることにより、フラッシュメモリの外部に設けられたバスの占有時間の短縮、及びCPUの負荷軽減を達成する。

【0010】

【発明の実施の形態】図5には本発明の一実施例であるフラッシュメモリを含むコンピュータシステムが示される。

【0011】図5に示されるコンピュータシステムは、特に制限されないが、システムバスBUSを介して、CPU(中央処理装置)31、SRAM(スタティック・ランダム・アクセス・メモリ)33、フラッシュメモリ34、周辺装置制御部35、表示系36などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行うことができる。上記CPU31は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込の受け付け、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記SRAM33、及びフラッシュメモリ34は内部記憶装置として位置付けられている。フラッシュメモリ34には、各種プログラムやデータが記憶される。SRAM33には、CPU31での計算や制御に必要なプログラムやデータがロードされる。周辺装置

制御部35によって、記憶装置38の動作制御や、キーボード39などからの情報入力制御が行われる。記憶装置38には、ハードディスク装置等の補助記憶装置が適用される。

【0012】図1にはフラッシュメモリ34の構成例が示される。

【0013】図1に示されるフラッシュメモリ34は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板上に形成される。

【0014】フラッシュメモリ34は、特に制限されないが、8ビットのデータ入出力端子PI/O0~PI/O7、19ビットのアドレス入力端子PA0~PA18、ローイネーブルのチップ選択信号の入力端子PCEN、ローイネーブルのアウトプットイネーブル信号の入力端子POEN、5Vのような高電位側電源Vdd端子、0Vのような低電位側電源Vss端子、及び12Vのような高電圧Vpp端子を備える。

【0015】100は、それぞれ2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成された複数のフラッシュメモリセルをマトリクス配置して成るメモリセルアレイである。フラッシュメモリセルのコントロールゲートはそれぞれ対応する図示しないワード線に接続され、フラッシュメモリセルのドレインはそれぞれ対応する図示しないデータ線に接続され、フラッシュメモリセルのソースはメモリブロック毎に共通の図示しないソース線に接続されている。

【0016】アドレス入力バッファ(AIB)101は、アドレス入力端子PA0~PA18から供給されるアドレス信号を内部相補アドレス信号に変換する。変換されたアドレス信号は、アドレスラッチ回路102にラッチされる。Xアドレスデコーダ及びワードドライバ(XADEC)103はアドレスラッチ回路102にラッチされたXアドレス信号を解読し、解読して得られる選択信号などに基づいてワード線を駆動する。特に制限されないが、データ読み出し動作においてワードドライバは5Vのような電圧でワード線を駆動し、データの書き込み動作では12Vのような高電圧でワード線を駆動し、データの消去動作においてはワードドライバの全ての出力が0Vのような低い電圧レベルにされる。104は、アドレスラッチ回路102にラッチされたYアドレス信号を解読するYアドレスデコーダ(YADEC)である。105は、Yアドレスデコーダ104の出力選択信号に従ってデータ線を選択するYセクタである。106はデータ読み出し動作においてYセクタ105で選択されたデータ線からの読み出し信号を増幅するセンスアンプである。107はセンスアンプ106の出力を保持するデータ出力ラッチである。108はデータ出力ラッチ107が保持するデータを外部に出力するためのデータ出力バッファである。109は外部から供給され

る書き込みデータ又はコマンドデータなどを取り込むためのデータ入力バッファである。データ入力バッファ109から取り込まれた書き込みデータ又はコマンドデータはデータ入力ラッチ110に保持される。データ入力ラッチ110に保持された書き込みデータのうち論理

“0”に対応されるビットデータに対して、書き込み回路111はYセクタ105で選択されたデータ線に書き込み用高電圧を供給する。この書き込み用高電圧は、Xアドレス信号に従ってコントロールゲートに高電圧が印加されるフラッシュメモリセルに供給され、これによって当該メモリセルが書き込みされる。

【0017】上記データ入力ラッチ110にラッチされたコマンドデータはメモリ制御回路112に供給される。メモリ制御回路112は、その他に端子PCEN及びPOENから供給されるチップ選択信号及びアウトプットイネーブル信号を受け、フラッシュメモリの読み出し、消去、書き込み動作、書き込みベリファイなどの各種内部動作を制御する。本実施例では、特に制限されないが、このメモリ制御回路112はMPU（マイクロプロセッシングユニット）によって構成される。

【0018】上記フラッシュメモリ34の動作はコマンドデータによって決定される。メモリ制御回路112は、データ入力ラッチ110から供給されるコマンドデータをラッチする図示しないコマンドラッチと、コマンドラッチにラッチされたコマンドを解釈して、各種動作モードに応じた制御信号を生成する図示しないコマンドデコーダを備える。読み出し、消去、書き込みなどの各動作に必要なとされる動作電圧は、メモリ制御回路112の制御により動作モードに応じて各部に供給される。

【0019】この実施例では、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のバスBUSの占有時間の短縮、及びCPU31の負荷軽減を図るために、部分的な書き換えを指示するための専用コマンドが用意され、そのコマンドがCPU31から与えられた場合に、フラッシュメモリ34の内部処理によりメモリセルアレイ100の部分的な書き換えが行われるようになっている。メモリセルアレイ100の部分的な書き換えを可能とするため、フラッシュメモリ34にはバッファ回路114が内蔵され、このバッファ回路114において、データの書き換えが行われた後に、そのバッファ回路114の記憶データがメモリセルアレイ100に書き戻されるようになっている。バッファ回路114は、特に制限されないが、高速動作可能なスタティック・ランダム・アクセス・メモリ（SRAMと略記する）が適用され、メモリセルアレイ100の記憶データ待避のため、その記憶容量は、少なくとも本実施例フラッシュメモリ34の消去単位分が必要とされる。つまり、本実施例フラッシュメモリ34の消去単位が512バイトとされ、消去動作が512バイト単位で行われる場合には、上記バッファ回路114の記憶容量

は少なくとも512バイトとひつようとされ、それは、メモリセルアレイ100の部分的な書き換えにおいて、その書き換えられるデータを含む消去単位データ（512バイト）のデータをバッファ回路114に待避させる必要があるためである。そのようなバッファ回路114は、データ出力バッファ108のデータ出力端子や、データ入力バッファ109のデータ入力端子とともに、8ビットのデータ入出力端子PI/O0～PI/O7に結合されている。バッファ回路114の書き込み、読み出しの制御は、メモリ制御回路112によって行われる。すなわち、データ入出力端子PI/O0～PI/O7から入力されたデータや、メモリセルアレイ100からの読み出しデータがメモリ制御回路112の制御下でバッファ回路114に書き込むことができ、また、バッファ回路114の記憶データをメモリセルアレイ100に転送することができる。

【0020】図4にはメモリセルアレイ100の構成例が示される。

【0021】メモリセルアレイ100は、図4に示されるように、それぞれ2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成された複数のフラッシュメモリセルMCをアレイ状に配置して成る。フラッシュメモリセルMCのコントロールゲートはそれぞれ対応するワード線WL0～WLXに接続される。フラッシュメモリセルMCのドレイン、及びソースはそれぞれ対応するサブデータ線SDL、及びサブソース線SSLに接続される。サブデータ線SDLは、ゲート選択信号SG1によって動作制御されるnチャンネル型MOSトランジスタQ10、Q11を介して対応するデータ線DL1、DL2に結合される。また、サブソース線SSLは、ゲート選択信号SG2によって動作制御されるnチャンネル型MOSトランジスタQ20、Q21を介してメモリブロック毎に共通のソース線SLに接続されている。

【0022】図2には上記バッファ回路114と、メモリ制御回路112との関係が示される。

【0023】バッファ回路114は、特に制限されないが、それぞれ512バイトの記憶容量を有する第1バッファ114A、及び第2バッファ114Bを含む。第1バッファ114Aは、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部21と、メモリ制御回路112から供給されたロウアドレス信号ADX1をデコードしてアレイ部21のワード線を選択レベルに駆動するための信号を生成するXデコーダ22と、メモリ制御回路112から供給されたカラムアドレス信号ADY1をデコードしてカラム系の選択信号を生成するためのYデコーダ23と、データの入出力回路24とを含む。入出力回路24は、メモリ制御回路112に結合され、メモリ制御回路112からのマスクデータの書き込み、及び読み出しが可能とされる。マスクデータは、メモリセルアレイ100の記憶データの部分的な書き換え

において、書き換えを要しない部分をマスクするのに用いられる。また、第2バッファ114Bは、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部25と、メモリ制御回路112から供給されたロウアドレス信号ADX2をデコードしてアレイ部25のワード線を選択レベルに駆動するための信号を生成するXデコーダ26と、メモリ制御回路112から供給されたコラムアドレス信号ADY2をデコードしてコラム系の選択信号を生成するためのYデコーダ27と、データの出力回路28とを含む。出力回路28は、図1に示されるデータ出力バッファ108、データ入力バッファ109や、データ入出力端子PI/O0~PI/O7に結合され、外部からの書き換え用データの取込み、及びアレイ部25からデータ入力バッファ109への書き換え済みデータの出力を可能とする。

【0024】次に、フラッシュメモリの消去単位(512バイト)よりも小さいデータの書き換えを行う場合の動作を説明する。

【0025】図3(a)にはフラッシュメモリ34内に設けられたバッファ回路114を使用する場合のデータ書き換えの流れが示される。

【0026】まず、フラッシュメモリ34の部分的な書き換えを行うため、書き換え専用コマンドがCPU31からフラッシュメモリ34に入力される(ステップS11)。この書き換え専用コマンドは、データ入力バッファ109、及びデータ入力ラッチ回路110を介してメモリ制御回路112に入力され、そこで解釈される。また、部分的な書き換えのためのアドレス信号及び書き換え用データが入力される(ステップS12)。アドレス信号は、アドレス入力バッファ101、及びアドレスラッチ102を介してXアドレスデコーダ及びワードドライバ103、Yアドレスデコーダ104、及びメモリ制御回路112に入力される。書き換え用データは、図2に示される第2バッファ114b内の出力回路27を介してアレイ部25に書き込まれる(ステップS13)。書き込みアドレスの制御は、メモリ制御回路112によって行われる。そして、上記書き換え用データの書き込みと同時に、第1バッファ114Aにおけるアレイ部21には、上記アレイ部25への書き込みアドレスと同一アドレスによって、マスクデータが書き込まれる(ステップS14)。つまり、上記のようにアレイ部25へ書き換え用データが書き込まれる際に、その書き込みアドレスと同一のアドレス制御により、アレイ部21にはマスクデータとして、論理“1”が書き込まれる。これにより、アレイ部21において、アレイ部25のデータ書き込みエリアに対応するエリアには、論理“1”が設定される。

【0027】次に、メモリ制御回路112の制御により、メモリセルアレイ100の記憶データの待避が行われる(ステップS14)。データ待避先は、第2バッファ

114Bとされる。このデータ待避は、実質的なデータ書き換えが1バイトであるにもかかわらず、後に行われる消去動作との関係で、消去単位、すなわち512バイト単位で行われる。第2バッファ114Bへのデータ待避において、第1バッファ114A内のマスクデータがメモリ制御回路112によって参照され、マスクデータが論理“1”とされているアドレスに対応する箇所には、上記第2バッファ114Bへのデータ待避が行われない。つまり、第2バッファ114Bにおいて、上記第1バッファ114A内のマスクデータが論理“1”とされているアドレスに対応する箇所には、上記ステップS12において、外部から取込まれた書き換え用データが記憶されているため、その書き換え用データの破壊を防止するため、上記マスクデータを参照して上記データ待避を禁止するようにしている。そのようなマスクデータに基づくデータ待避により、第2バッファ114Bの記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものとされる。

【0028】次に、上記ステップS14において、データが待避されたエリアが、メモリ制御回路112の制御により消去され(ステップS15)、しかる後に、第2バッファ114Bの記憶データが、上記消去にかかるエリアに書き込まれる(ステップS16)。上記のように、第2バッファ114Bの記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものであるから、このステップS16のデータ書き戻しにより、メモリセルアレイ100の1バイト書き換えが完了される。

【0029】このように、フラッシュメモリ34に内蔵されたバッファ回路114を使用してメモリセルアレイ100の部分的な書き換えを行う場合には、書き換え専用コマンドをフラッシュメモリ34に与え、さらに、書き換えのためのアドレス信号、及び書き換え用データをフラッシュメモリ34に与えれば、後は、メモリ制御回路112によって、ステップS13~S16の内部処理により、書き換えが終了される。

【0030】次に、図3(b)に示されるフローチャートに従って、フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換え処理について説明する。

【0031】フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換え処理は、フラッシュメモリ34に対して読み出しコマンド、消去コマンド、及び書き込みコマンドを、それぞれ個別に入力することによって行われる。また、メモリセルアレイ100の記憶データの待避のため、フラッシュメモ

メモリ34の外部に配置された適宜の記憶手段例えばSRAM33などが利用される。すなわち、データ待避のために、読み出しコマンドの入力され(ステップS21)、アドレス信号が入力されて(ステップS22)、対応するデータが、フラッシュメモリの外部に配置された記憶手段に待避され、そこでデータの部分的な書き換えが行われる(ステップS23)。そして、外部から消去コマンドが入力され(ステップS24)、消去エリア指定のためのアドレス信号が入力されることにより(ステップS25)、該当エリアが消去される。この消去後に、上記記憶手段の記憶内容をメモリセルアレイ100に書き戻すための書き換え専用コマンドが入力され(ステップS26)、アドレス信号、及び上記記憶手段の記憶データが入力されることで(ステップS27)、メモリセルアレイ100の部分的な書き換えが行われる。このように、フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換えにおいては、フラッシュメモリ34に対して読み出しコマンド、消去コマンド、及び書き換え専用コマンドを、フラッシュメモリ34の外部から、それぞれ個別的に入力する必要があるから、フラッシュメモリ34が結合されたバスの占有時間が長くなるし、CPU31の負荷も大きくなってしまふ。

【0032】それに対して、フラッシュメモリ34に内蔵されたバッファ回路114を使用する場合には、図3(b)のフローチャートからも明かなように、書き換え専用コマンドの発行、書き換えのためのアドレス信号、及び書き換え用データをフラッシュメモリ34に与えれば、後は、メモリ制御回路112によって、ステップS13~S16の内部処理により、書き換えが終了されるので、フラッシュメモリ34の部分的な書き換えにおいて、バスの占有時間を短縮することができ、また、部分的な書き換えのためのコマンド発行数の減少によりCPU31の負荷軽減を図ることができる。

【0033】上記実施例によれば、以下の作用効果を得ることができる。

【0034】(1)複数のフラッシュメモリセルを配列して成るメモリセルアレイ100の一括消去単位に相当するデータ記憶容量を少なくとも有するバッファ回路114を設け、さらに書き換え専用コマンド、及び部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、一括消去単位データを上記バッファ回路114に転送して、書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイ100に書き戻すためのメモリ制御回路112を設け、メモリセルアレイ100の記憶情報の書き換えを内部処理に委ねることで、消去単位よりも小さなデータの書き換えを行う場合のバス占有時間の短縮を図ることができる。

【0035】(2)上記書き換え専用コマンドの発行により、記憶情報の一部書き換えの内部処理を開始させる

ことができ、そのような書き換えにおいて、読み出しコマンド、消去コマンド、及び書き換え専用コマンドを、それぞれ個別に、フラッシュメモリに与える必要がないから、コマンド発行数の低減により、CPU31の負荷軽減を図ることができる。

【0036】(3)上記(1)、(2)の作用効果により、CPU31は、フラッシュメモリ34に書き換えコマンドや部分的な書き換えのためのアドレス信号及び書き換え用データが入力された後は、バスを使用して別の処理を行うことができるので、コンピュータシステム全体としてのデータ処理の効率向上を図ることができる。

【0037】次に、他の実施例について説明する。

【0038】図6にはバッファ回路114の他の構成例が示される。

【0039】図6に示される構成では、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部61と、メモリ制御回路112から供給されたロウアドレス信号ADXをデコードしてアレイ部61のワード線を選択レベルに駆動するための信号を生成するXデコーダ62と、メモリ制御回路112から供給されたカラムアドレス信号ADYをデコードしてカラム系の選択信号を生成するためのYデコーダ63と、データをラッチするためのデータラッチ64とを含む。メモリセルアレイ100の消去単位を512バイトとすると、アレイ部61の記憶容量は、512バイト以上とされる。そのような構成において、メモリセルアレイ100の消去単位よりも小さな範囲の書き換えは、以下のように行われる。

【0040】図7にはデータ書き換えの流れが示される。

【0041】まず、フラッシュメモリ34の部分的な書き換えを行うため、書き換え専用コマンドがCPU31からフラッシュメモリ34に入力される(ステップS31)。この書き換え専用コマンドは、データ入力バッファ109、及びデータ入力ラッチ回路110を介してメモリ制御回路112に入力され、そこで解釈される。また、部分的な書き換えのためのアドレス信号及び書き換え用データが入力される(ステップS32)。アドレス信号は、アドレス入力バッファ101、及びアドレスラッチ102を介してXアドレスデコーダ及びワードドライバ103、Yアドレスデコーダ104、及びメモリ制御回路112に入力される。書き換え用データをアレイ部61に書き込む際に、メモリ制御回路112によってメモリセルアレイ100からのデータ読み出しが行われ、書き換え用のデータと、メモリセルアレイ100からの読み出しデータとの比較が行われる(ステップS33)。この比較において、同一アドレスにかかるデータの論理が同じであれば、アレイ部61には論理“0”が書き込まれ、同一アドレスにかかるデータが異なれば、アレイ部61には論理“1”が書き込まれる。そのようなデータ比較の後に、メモリ制御回路112の制御によ

り、メモリセルアレイ100の記憶データの待避が行われる(ステップS34)。この場合のデータ待避先は、データラッチ64とされる。しかも、このデータ待避においては、アレイ部61からのデータ読み出しが行われ、このアレイ部61から読み出されたデータが論理“0”ならば、それは、書き換え用データとメモリセルアレイ100からの待避データとの論理が等しいことを意味するから、メモリセルアレイ100からの待避データがそのままの状態データラッチ64の対応ビットに書き込まれる。それに対して、アレイ部61から読み出されたデータが論理“1”の場合には、それは、書き換え用データとメモリセルアレイ100からの待避データとの論理が異なることを意味するから、メモリセルアレイ100からの待避データの対応ビットの論理が反転されてデータラッチ64に書き込まれる。そして、このデータラッチ64にラッチされたデータがアレイ部61に書き込まれる。

【0042】そのように、アレイ部61から読み出されたデータの論理が“0”ならば、メモリセルアレイ100からの待避データをそのままの論理状態でデータラッチ64に一旦ラッチしてからアレイ部61に書き込み、アレイ部61から読み出されたデータの論理が“1”ならば、メモリセルアレイ100からの待避データの論理を反転してデータラッチ64に一旦ラッチしてからアレイ部61に書き込む、という一連の動作を512バイト分、繰り返すことにより、アレイ部61内のデータは、メモリセルアレイ100からの待避データに、書き換え用データが反映されたものとなる。

【0043】次に、上記ステップS34において、データが待避されたエリアが、メモリ制御回路112の制御により消去され(ステップS35)、しかる後に、アレイ部61の記憶データが、上記消去にかかるエリアに書き込まれる(ステップS36)。アレイ部61の記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものであるから、このステップS36のデータ書き戻しにより、メモリセルアレイ100の1バイト書き換えが完了される。

【0044】上記のように、アレイ部61、Xデコーダ62、Yデコーダ63、及びデータラッチ64とを含んで、バッファ回路114を構成しても、そのようなバッファ回路114を使用することにより、メモリセルアレイ100の部分的な書き換えを簡単な外部制御により行うことができるので、バス占有時間の短縮やCPU31の負荷軽減など、上記実施例の場合と同様の作用効果を得ることができる。

【0045】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲におい

て種々変更可能であることは言うまでもない。

【0046】例えば、上記実施例ではバッファ回路114として、スタティック型メモリセルを有するものを適用したが、それに代えてダイナミック型メモリセルを有するものを適用することができる。

【0047】また、メモリカード等と称されるカード状の記憶媒体にフラッシュメモリが搭載される場合には、そのようなメモリカードに搭載されるフラッシュメモリとして、上記実施例に示されるフラッシュメモリを適用することができる。

【0048】さらに、上記実施例では、フラッシュメモリの消去単位を512バイトとして説明したが、それに限定されない。そして、バッファ回路114に含まれるアレイ部は、フラッシュメモリの消去単位に相当する記憶容量を少なくとも有していればよく、消去単位に相当する記憶容量を越える場合を妨げない。

【0049】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるコンピュータシステムに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種データ処理装置に適用することができる。

【0050】本発明は、少なくともフラッシュメモリセルを含むことを条件に適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0052】すなわち、外部からの書き換え専用コマンド、及び当該部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、書き換えにかかるデータを含む一括消去単位データを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイに書き戻すことにより、メモリセルアレイの記憶情報の一部書き換えのための処理をフラッシュメモリの内部処理に委ね、それによって、消去単位よりも小さなデータの書き換えを行う場合のバス占有時間の短縮、及びCPUの負荷軽減を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体記憶装置の一実施例であるフラッシュメモリの構成例ブロック図である。

【図2】上記フラッシュメモリに含まれるバッファ回路の構成例ブロック図である。

【図3】上記フラッシュメモリの部分的な書き換えのフローチャートである。

【図4】上記フラッシュメモリに含まれるメモリセルアレイの構成例回路図である。

【図5】上記フラッシュメモリを含むコンピュータシステムの構成例ブロック図である。

【図6】上記バッファ回路の他の構成例ブロック図であ

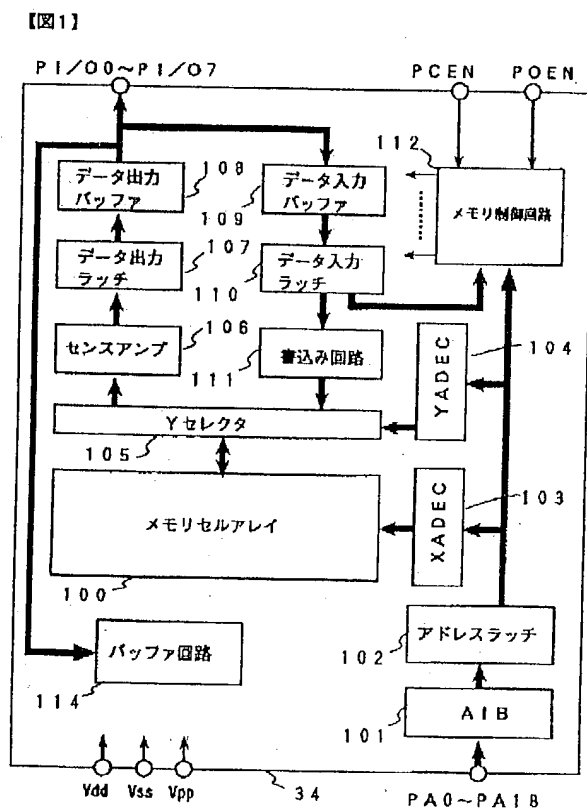
る。

【図7】図6に示されるバッファ回路を使用した場合のフラッシュメモリの部分的な書き換えのフローチャートである。

【符号の説明】

- 21, 25, 61 アレイ部
- 22, 26, 62 Xデコーダ
- 23, 27, 63 Yデコーダ
- 24, 28 入出力回路
- 31 CPU
- 33 SRAM
- 34 フラッシュメモリ
- 35 周辺装置制御部
- 36 表示系
- 38 記憶装置
- 39 キーボード

【図1】



64 データラッチ

101 アドレス入力バッファ

102 アドレスラッチ

103 Xアドレスデコーダ及びワードドライバ

104 Yアドレスデコーダ

105 Yセクタ

106 センスアンプ

107 データ出力ラッチ

108 データ出力バッファ

109 データ入力バッファ

110 データ入力ラッチ

111 書き込み回路

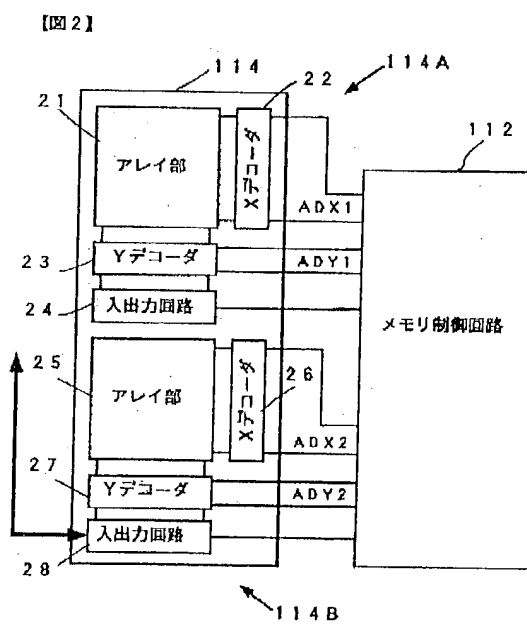
112 メモリ制御回路

114 バッファ回路

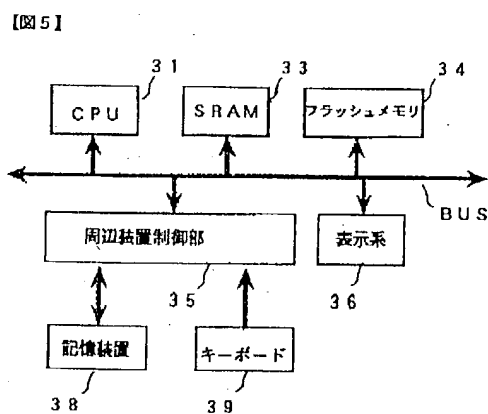
114A 第1バッファ

114B 第2バッファ

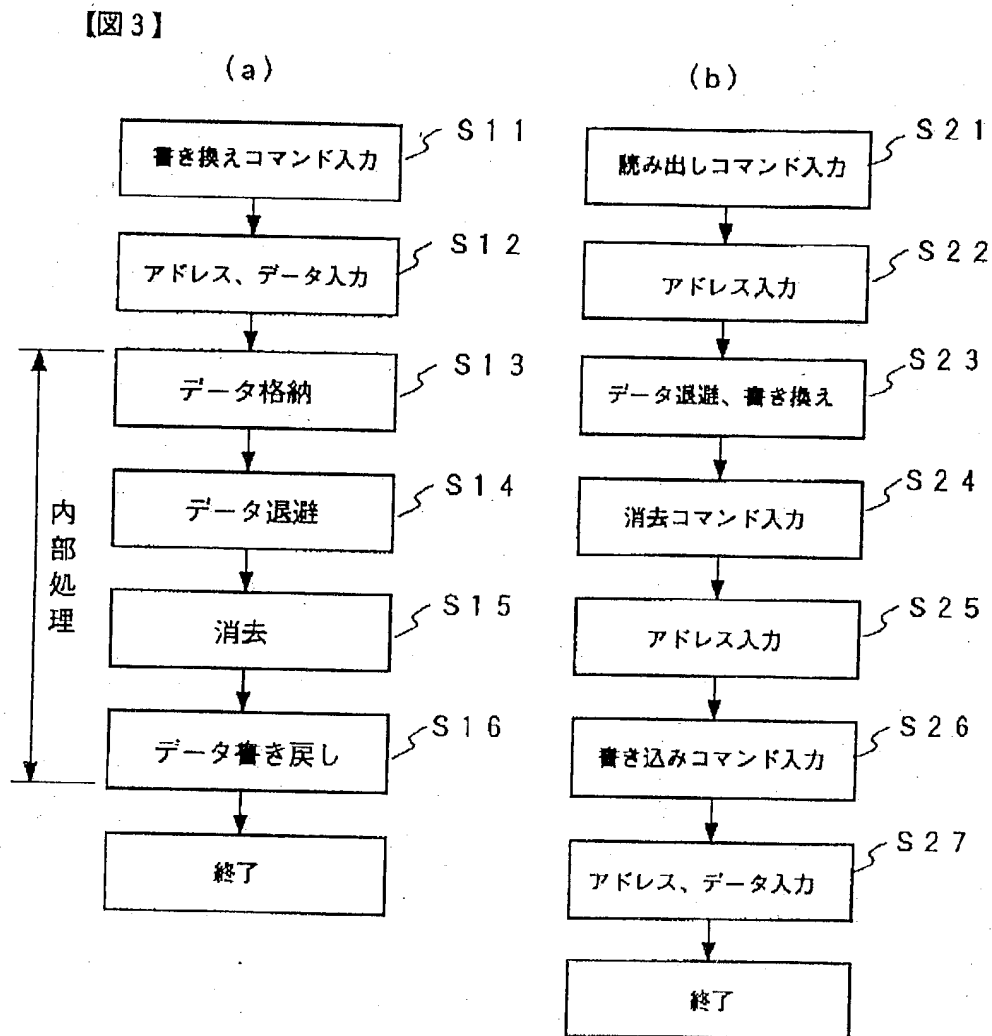
【図2】



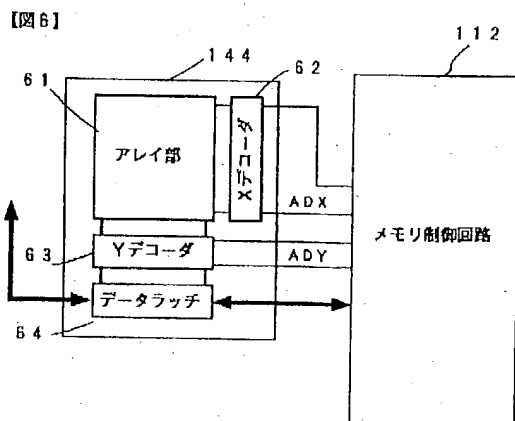
【図5】



【図3】

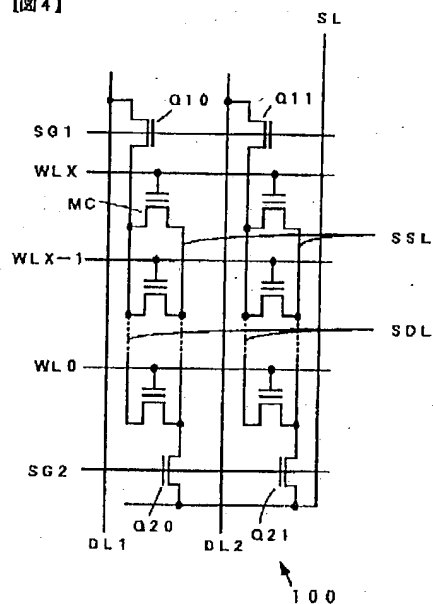


【図6】



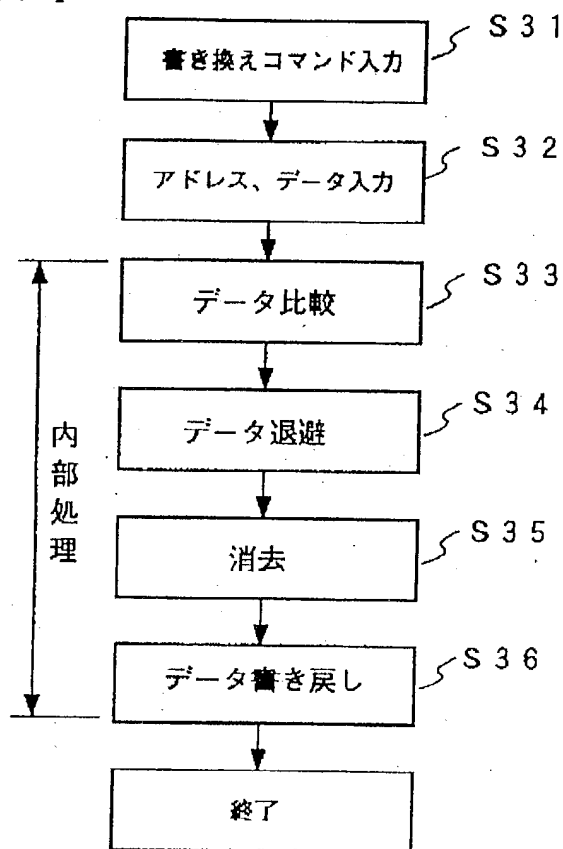
【図4】

【図4】



【図7】

【図7】



フロントページの続き

(72)発明者 高橋 正人

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 佐藤 潔治

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内